

DRIVING METHOD AND DRIVING-GEAR FOR PLASMA DISPLAY PANEL

Publication number: JP2004037538

Publication date: 2004-02-05

Inventor: AWAMOTO KENJI; IWASA SEIICHI

Applicant: FUJITSU LTD

Classification:

- international: **H04N5/66; G09G3/20; G09G3/28; G09G3/288; H04N5/66; G09G3/20; G09G3/28; (IPC1-7): G09G3/28; G09G3/20; G09G3/288; H04N5/66**

- European: G09G3/28T; G09G3/288C6E; G09G3/288D

Application number: JP20020190626 20020628

Priority number(s): JP20020190626 20020628

Also published as:

EP1376524 (A2)
US7023405 (B2)
US2004001035 (A1)
KR20040002479 (A)
EP1376524 (A3)

more >>

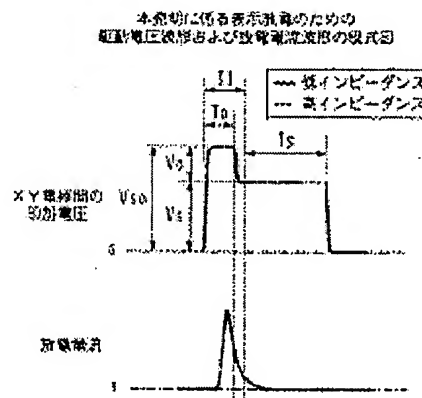
Report a data error here

Abstract of JP2004037538

PROBLEM TO BE SOLVED: To improve the luminance and light emission efficiency in display discharge and to reduce the fluctuation in the luminance and light emission efficiency accompanying an increase or decrease of display load.

SOLUTION: The driving process for one pulse component to generate the display discharge of one time comprises a step of generating the display discharge by applying an offset driving voltage V_{so} higher than a sustain voltage V_s to a display electrode pair and a step of applying the sustain voltage V_s for a specified period by dropping the impressed voltage from the offset driving voltage V_{so} to the sustain voltage V_s after the generating the display discharge. A driving output state is put into a low impedance state in the period T_1 after the start of the application of at least the offset driving voltage V_{so} before the applied voltage drops to the sustain voltage.

COPYRIGHT: (C)2004,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-37538

(P2004-37538A)

(43) 公開日 平成16年2月5日(2004.2.5)

(51) Int.Cl.⁷

F I

テーマコード(参考)

G09G 3/28

G09G 3/28 H

5C058

G09G 3/20

G09G 3/20 611A

5C080

G09G 3/288

G09G 3/20 612U

H04N 5/68

G09G 3/20 624L

G09G 3/20 642C

審査請求 未請求 請求項の数 9 O L (全 17 頁) 最終頁に続く

(21) 出願番号 特願2002-190626 (P2002-190626)

(22) 出願日 平成14年6月28日(2002.6.28)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(74) 代理人 100086933

弁理士 久保 幸雄

(72) 発明者 栗本 健司

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 岩佐 誠一

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内Fターム(参考) 5C058 AA11 BA01 BA05 BA06 BA26
BB03

最終頁に続く

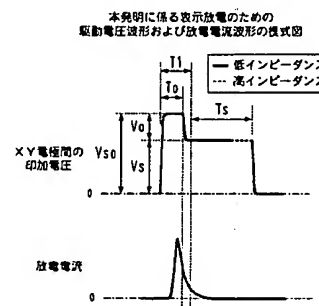
(54) 【発明の名称】 プラズマディスプレイパネルの駆動方法および駆動装置

(57) 【要約】

【課題】 表示放電における輝度および発光効率を改善し、かつ表示負荷の増減にともなう輝度および発光効率の変動を小さくする。

【解決手段】 1回の表示放電を生じさせる1パルス分の駆動過程を、サステイン電圧VSより高いオフセット駆動電圧VS0を表示電極対に印加することによって表示放電を生じさせる段階と、表示放電を生じさせた後に印加電圧をオフセット駆動電圧VS0からサステイン電圧VSへ降下させて一定時間にわたってサステイン電圧VSを印加する段階とを構成するとともに、少なくともオフセット駆動電圧の印加開始から印加電圧がサステイン電圧へ降下するまでの期間T1には、駆動出力状態を低インピーダンス状態とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

表示電極対に電圧パルス列を印加して表示すべき明るさに応じた回数の表示放電を生じさせるＡＣ型のフラズマディスプレイパネルの駆動方法であって、

１回の表示放電を生じさせる１パルス分の駆動過程が、サステイン電圧にそれと同極性の補助電圧が重畳したオフセット駆動電圧を前記表示電極対に印加することによって表示放電を生じさせる段階と、表示放電を生じさせた後に印加電圧を前記オフセット駆動電圧から前記サステイン電圧へ降下させて一定時間にわたって前記サステイン電圧を印加する段階とから構成され、

少なくとも前記オフセット駆動電圧の印加開始から印加電圧が前記サステイン電圧へ降下するまで、印加電圧を出力する電源と前記表示電極との導電接続状態が、前記電源から前記表示電極対への電流供給が可能な低インピーダンス状態である

ことを特徴とするフラズマディスプレイパネルの駆動方法。

【請求項 2】

前記オフセット駆動電圧の印加時間は、１画面の表示における点灯すべきセルの数に応じて変更される

請求項 1 記載のフラズマディスプレイパネルの駆動方法。

【請求項 3】

前記オフセット駆動電圧の印加時間は、前記電源の出力電流に応じて変更される

請求項 1 記載のフラズマディスプレイパネルの駆動方法。

【請求項 4】

表示電極対に電圧パルス列を印加して表示すべき明るさに応じた回数の表示放電を生じさせるＡＣ型のフラズマディスプレイパネルの駆動装置であって、

前記表示電極対にサステイン電圧を断続的に印加する標準パルス発生回路と、

前記表示電極対に補助電圧を断続的に印加する補助パルス発生回路と、

前記表示電極対に対する前記補助パルス発生回路の出力インピーダンスを低減するインピーダンス変換回路と、

前記サステイン電圧の印加中に前記補助電圧の印加を行い、かつ前記補助電圧の印加を停止した後も一定時間が経過するまで前記サステイン電圧の印加が続くように、前記標準パルス発生回路および前記補助パルス発生回路を制御するコントローラとを有した

ことを特徴とするフラズマディスプレイパネルの駆動装置。

【請求項 5】

前記補助パルス発生回路と前記インピーダンス変換回路との間の導通路を開閉するためのスイッチ回路を有し、

前記インピーダンス変換回路は、前記導通路が開いた状態のときには出力インピーダンスの高いオフ状態になるように構成されており、

前記コントローラは、前記補助電圧を印加する期間以外は前記導通路を開いた状態にするように、前記スイッチ回路を制御する

請求項 4 記載のフラズマディスプレイパネルの駆動装置。

【請求項 6】

前記インピーダンス変換回路と前記表示電極対との導通を制御するためのスイッチ回路を有し、

前記コントローラは、前記補助電圧を印加する期間以外は前記インピーダンス変換回路と前記表示電極対とを電氣的に切り離すように、前記スイッチ回路を制御する

請求項 4 記載のフラズマディスプレイパネルの駆動装置。

【請求項 7】

表示電極対に電圧パルス列を印加して表示すべき明るさに応じた回数の表示放電を生じさせるＡＣ型のフラズマディスプレイパネルの駆動装置であって、

前記表示電極対にサステイン電圧を断続的に印加する標準パルス発生回路と、前記サステイン電圧に補助電圧が重畳したオフセット駆動電圧を前記表示電極対に断続的に印加する

10

20

30

40

50

オフセット駆動パルス発生回路と、
 前記標準パルス発生回路に対する前記オフセット駆動パルス発生回路の出力インピーダンスを低減するインピーダンス変換回路と、
 前記インピーダンス変換回路と前記標準パルス発生回路との間に順方向通電路を形成するダイオードと、
 前記サステイン電圧の印加中に前記補助電圧の印加を行い、かつ前記補助電圧の印加を停止した後も一定時間が経過するまで前記サステイン電圧の印加が続くように、前記標準パルス発生回路および前記オフセット駆動パルス発生回路を制御するコントローラとを有した

ことを特徴とするプラズマディスプレイパネルの駆動装置。

10

【請求項 8】

1 画面の表示が行われる表示期間の開始以前に、前記 1 画面の表示における点灯すべきセルの数をカウントする手段を有し、
 前記コントローラは、前記点灯すべきセルの数のカウント値に応じて、前記サステイン電圧に前記補助電圧が重畳した電圧の印加を終える時期を変更する
 請求項 4 記載のプラズマディスプレイパネルの駆動装置。

【請求項 9】

フレーム単位で表示放電による消費電力を測定する手段を有し、
 前記コントローラは、前記消費電力の測定値に応じて、それを測定したフレームの次のフレームについて、前記サステイン電圧に前記補助電圧が重畳した電圧の印加を終える時期を変更する

20

請求項 4 記載のプラズマディスプレイパネルの駆動装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネル (Plasma Display Panel: PDP) の駆動方法および駆動装置に関する。

【0002】

PDP を用いた表示装置において、より少ない電力でより明るい表示を実現すること、すなわち発光効率の改善が望まれている。工業的には、蛍光体の材質や放電ガスの組成を含めたパネル構造を変更するよりも、駆動パルス波形の工夫によって発光効率を高めるのが好ましい。

30

【0003】

【従来の技術】

AC 型 PDP による表示では、画面内のセルのそれぞれの壁電荷量を表示データに応じて 2 値制御するアドレッシングを行い、その後全セルに一斉にサステインパルスを印加する点灯維持を行う。アドレッシングはセルを発光させるか発光させないかを決め、点灯維持は発光量を決める。

【0004】

従来の駆動方法は、点灯維持を行う表示期間に、単純矩形波形のサステインパルスを表示電極対の一方と他方とに交互に印加する。すなわち、第 1 および第 2 の表示電極を交互に一時的に所定電位 (サステイン電位 V_S) にバイアスする。これにより、表示電極対の電極間 (これを XY 電極間という) に交番極性のパルス列が加わる。全てのセルに対する第 1 番目のサステインパルスの印加に呼応して、直前のアドレッシングで所定量の壁電荷が形成されたセルにおいて表示放電が生じる。そのとき、放電ガスが放つ紫外線によって励起されたセル内の蛍光体が発光する。表示放電による発光を“点灯”という。放電が生じると、いったん誘電体上の壁電荷が消失し、直ちに壁電荷の再形成が始まる。再形成される壁電荷の極性は以前と反対である。壁電荷の再形成に伴って XY 電極間のセル電圧が降下して表示放電は終息する。放電の終息とは、表示電極を流れる放電電流が実質的に 0 (ゼロ) になることを意味する。第 2 番目のサステインパルス (維持電圧) が印加され

40

50

ると、維持電圧の極性とその時点の壁電圧の極性とが同一であって、壁電圧が維持電圧に重畳してセル電圧が増大するので、再び表示放電が生じる。以降は同様にサステインパルスの印加ごとに表示放電が生じる。一般に、サステインパルスの印加周期は数マイクロ秒程度とされ、視覚的には発光は連続する。

【0005】

サステインパルスの印加には、スイッチング素子（一般に電界効果トランジスタ：FET）を組み合わせたフッシュアップ構成のパルス回路が用いられている。各表示電極とバイアス電源端子との間、および各表示電極と接地端子（GND）との間にスイッチング素子が配置され、これらスイッチング素子のオンオフ制御によって各表示電極の電位が決まる。ただし、パルス回路の制御では、電位の切り換えに際して、いずれのスイッチング素子もオフ状態とするデッドタイムが設けられる。これはスイッチング素子が破損するおそれのあるバイアス電源端子と接地端子との短絡を防ぐためである。デッドタイムでは各表示電極が駆動回路と電気的に切り離される。したがって、各表示電極の電位が遷移するサステインパルスの立上り（前縁）および立下り（後縁）の双方の直前において、表示電極に対して駆動回路の出力が高インピーダンスとなり、表示電極と駆動回路と表示電極との間で電流の出入りが抑制される。

【0006】

【発明が解決しようとする課題】

上述したように単純矩形波形のサステインパルスを印加する従来の駆動方法では、サステインパルスの振幅を許容範囲内で大きくすることで表示放電の強度を大きくし、それによって発光輝度を高めることができる。しかし、輝度を高めようとすると消費電力が増大してしまい、発光効率が低下してしまうという問題があった。

【0007】

本発明は、表示放電における輝度および発光効率を改善し、かつ表示負荷の増減にともなう輝度および発光効率の変動を小さくすることを目的としている。

【0008】

【課題を解決するための手段】

本発明においては、表示電極対に電圧パルス列を印加して表示すべき明るさに応じた回数 of 表示放電を生じさせる点灯維持に際して、1回の表示放電を生じさせる1パルス分の駆動過程を、サステイン電圧にそれと同極性の補助電圧が重畳したオフセット駆動電圧を表示電極対に印加することによって表示放電を生じさせる段階と、表示放電を生じさせた後に印加電圧をオフセット駆動電圧からサステイン電圧へ降下させて一定時間にわたってサステイン電圧を印加する段階とを構成するとともに、少なくともオフセット駆動電圧の印加開始から印加電圧がサステイン電圧へ降下するまで、印加電圧を出力する電源と表示電極との導電接続状態を、電源から表示電極対への電流供給が可能な低インピーダンス状態とする。

【0009】

サステイン電圧よりも高いオフセット駆動電圧を印加することによって、サステイン電圧を印加する場合と比べて、強い表示放電が生じて発光輝度が高まる。印加電圧をオフセット駆動電圧からサステイン電圧へ降下させることで、放電開始直後と比べて発光へ寄与が小さい時期の放電電流が抑制されるので、オフセット駆動電圧を引き続き印加する場合と比べて発光効率が高まる。壁電荷の再形成は主として表示放電が終息した後の印加電圧に依存する。したがって、放電開始時の印加電圧を高くして放電強度を大きくしても、放電開始後に印加電圧を降下させることにより壁電荷の再形成状態を表示放電の反復が可能な適正状態にすることができる。

【0010】

また、オフセット駆動電圧の印加開始から印加電圧がサステイン電圧へ降下するまで、印加電圧の切り換えの直前および過渡期を含む期間において、電源と表示電極との導電接続状態を低インピーダンス状態とすることにより、状況に見合った電流が流れて設定どおりに印加電圧が推移するので、表示内容によって決まる点灯すべきセルの多い少ないに係わ

らず一定の発光効率が得られる。

【0011】

図1は本発明に係る表示放電のための駆動電圧波形および放電電流波形を示す図である。1回の表示放電に係るパルスの波形は、サステイン電圧 V_S に補助電圧 V_O が重畳したオフセット駆動電圧 V_{SO} を XY 電極間に印加し、その後サステイン電圧 V_S を印加する階段状である。オフセット駆動電圧 V_{SO} を印加する期間 T_O において表示放電が始まり、放電電流が流れ始める。期間 T_O は、放電が終息する以前にオフセット駆動電圧 V_{SO} の印加を終えるように設定される。サステイン電圧 V_S を印加する期間 T_S は、適量の壁電荷を再形成させるのに必要である。放電が終息した後も暫くは電圧の印加を続けることで、空間電荷の静電吸引により壁電荷の蓄積が続く。このような波形の印加において、印加電圧を降下させる直前（すなわち期間 T_O の終端）を含む図中の期間 T_1 では駆動回路の出力が低インピーダンスとされる。なお、期間 T_S の末期において駆動回路の出力は高インピーダンスとされる。

10

【0012】

ここで、駆動回路を低インピーダンスとすることの意義をより詳しく説明する。印加電圧を切り換えるとき、一般には切り換えの過渡期において一時的に駆動回路が負荷から切り離されて出力が高インピーダンスとなる。高インピーダンスのときには電源による電流供給や電流吸引が止まるので、表示放電の途中で駆動回路の出力が高インピーダンスになると、放電が弱まって表示が暗くなる。電源からの電流が停止しても、ある程度の電流は表示電極間の静電容量から供給される。しかし、放電が生じているセルの数が多い場合には、1セルあたりの電流供給量はごく僅かとなり、輝度の大幅な低下が避けられない。このような問題が、駆動回路の出力を意図的に低インピーダンスとすることによって解決される。

20

【0013】

また、本発明においては、印加電圧をオフセット駆動電圧 V_{SO} からサステイン電圧 V_S へ切り換えるタイミングを、表示負荷の大きさに応じて変更する。一般にプラズマディスプレイパネルのセル間では放電特性にはばらつきがあり、全てのセルに同じ駆動電圧を印加しても完全に一斉には放電が開始しない。点灯セル数が多いほど（表示負荷率が大きいほど）、放電開始時期の分布範囲が広い。さらに、点灯セル数が多いときには、電極抵抗や駆動回路の内部抵抗の影響で駆動電圧がドロップしたり駆動電流が不足したりすることになり、放電の開始および終息の時期が遅くなることがある。つまり、オフセット駆動電圧 V_{SO} からサステイン電圧 V_S への電圧変更の最適時期は一定ではなく、表示負荷に依存する。したがって、表示負荷の変化に合わせて電圧変更時期を調整することにより、輝度および発光効率の変動を低減することができるとする。

30

【0014】

【発明の実施の形態】

図2は本発明に係る表示装置の構成図、図3は表示電極を駆動する X ドライバおよび Y ドライバの概略構成図である。表示装置100は、カラー表示面を有した面放電型のPDP1と、セルの発光を制御するドライブユニット70とから構成されており、壁掛け式テレビジョン受像機、コンピュータシステムのモニターなどとして利用される。

40

【0015】

PDP1では、表示放電を生じさせるための電極対を構成する表示電極 X と表示電極 Y が互いに平行に配置され、これら表示電極 X 、 Y と交差するようにアドレス電極 A が配列されている。表示電極 X 、 Y は画面の行方向（水平方向）に延び、アドレス電極は列方向（垂直方向）に延びている。

【0016】

ドライブユニット70は、コントローラ71、データ変換回路72、電源回路73、 X ドライバ75、 Y ドライバ76、および A ドライバ77を有している。ドライブユニット70にはTVチューナ、コンピュータなどの外部装置から R 、 G 、 B の3色の輝度レベルを示すフレームデータ D_f が各種の同期信号とともに入力される。フレームデータ D_f はデ

50

ータ変換回路72の中のフレームメモリに一時的に記憶される。データ変換回路72は、フレームデータDfを階調表示のためのサブフレームデータDSfに変換してAドライバ77へ送る。サブフレームデータDSfは1セル当たり1ビットの表示データの集合であって、その各ビットの値は該当する1つのサブフレームにおけるセルの発光の要否、厳密にはアドレス放電の要否を示す。Aドライバ77は、サブフレームデータDSfに従って、アドレス放電を起こすべきセルを通るアドレス電極Aにアドレスパルスを印加する。なお、電極へのパルスの印加とは、電極を一時的に所定電位にバイアスすることを意味する。コントローラ71は、パルスの印加およびサブフレームデータDSfの転送を制御する。電源回路73は、各ドライバへPDP1の駆動に必要な電力を供給する。

【0017】

図3のように、Xドライバ75は、表示電極Xに壁電荷の初期化のためのパルスを印加するリセット回路81、アドレッシングにおいて表示電極Xの電位を制御するためのバイアス回路82、および表示電極Xにサステインパルスを印加するサステイン回路83からなる。Yドライバ76は、表示電極Yに壁電荷の初期化のためのパルスを印加するリセット回路85、アドレッシングにおいて表示電極Yにスキャンパルスを印加するスキャン回路86、および表示電極Yにサステインパルスを印加するサステイン回路87からなる。

【0018】

図4はPDPのセル構造を示す図である。PDP1は一对の基板構体10、20からなる。基板構体とは、ガラス基板上に電極その他の構成要素を設けた構造体を意味する。PDP1では、前面側のガラス基板11の内面に表示電極X、Y、誘電体層17および保護膜18が設けられ、背面側のガラス基板21の内面にアドレス電極A、絶縁層24、隔壁29、および蛍光体層28R、28G、28Bが設けられている。表示電極X、Yは、それぞれが面放電ギャップを形成する透明導電膜41とバス導体としての金属膜42とから構成されている。隔壁29はアドレス電極配列の電極間隙ごとに1つずつ設けられており、これらの隔壁29によって放電空間が行方向に列毎に区画されている。放電空間のうちの各列に対応した列空間31は全ての行に跨がって連続している。蛍光体層28R、28G、28Bは放電ガスが放つ紫外線によって局部的に励起されて発光する。図中の斜体アルファベットR、G、Bは蛍光体の発光色を示す。

【0019】

以下、表示装置100におけるPDP1の駆動方法を説明する。

図5はフレーム分割の概念図である。PDP1による表示では、2値の点灯制御によってカラー再現を行うために、入力画像である時系列のフレームFを所定数QのサブフレームSFに分割する。つまり、各フレームFをQ個のサブフレームSFの集合に置き換える。これらサブフレームSFに順に例えば 2^0 、 2^1 、 2^2 、 2^{Q-1} の重みを付与して各サブフレームSFの表示放電の回数を設定する。図ではサブフレーム配列が重みの順であるが、他の順序であってもよい。冗長な重み付けを採用して偽輪郭を低減してもよい。このようなフレーム構成に合わせてフレーム転送周期であるフレーム期間TfをQ個のサブフレーム期間TSfに分割し、各サブフレームSFに1つのサブフレーム期間TSfを割り当てる。さらに、サブフレーム期間TSfを、初期化のためのリセット期間TR、アドレッシングのためのアドレス期間TA、および点灯維持のための表示期間TSに分ける。リセット期間TRおよびアドレス期間TAの長さが重みに係わらず一定であるのに対し、表示期間TSの長さは重みが大きいほど長い。したがって、サブフレーム期間TSfの長さも、それに該当するサブフレームSFの重みが大きいほど長い。駆動シーケンスはサブフレームごとに繰り返され、Q個のサブフレームSFにおいてリセット期間TR・アドレス期間TA・表示期間TSの順序は共通である。

【0020】

図6は駆動シーケンスの概要を示す電圧波形図である。図において表示電極X、Yの参照符号の添字(1、n)は対応する行の配列順位を示し、アドレス電極Aの参照符号の添字(1、m)は対応する列の配列順位を示す。なお、図示の波形は一例であり、振幅・極性・タイミングを種々変更することができる。

【0021】

各サブフレームSFのリセット期間TRにおいては、全ての表示電極Xに対して負極性のパルス $P_{tr \times 1}$ と正極性のパルス $P_{tr \times 2}$ とを順に印加し、全ての表示電極Yに対して正極性のパルス $P_{tr \times 1}$ と負極性のパルス $P_{tr \times 2}$ とを順に印加する。パルス $P_{tr \times 1}$ 、 $P_{tr \times 2}$ 、 $P_{tr \times 1}$ 、 $P_{tr \times 2}$ は微小放電が生じる変化率で振幅が漸増するランフ波形パルスである。最初に印加されるパルス $P_{tr \times 1}$ 、 $P_{tr \times 1}$ は、前サブフレームにおける点灯／非点灯に係わらず全てのセルに同一極性の適当な壁電圧を生じさせるために印加される。適度の壁電荷が存在するセルにパルス $P_{tr \times 2}$ 、 $P_{tr \times 2}$ を印加することにより、パルス $P_{tr \times 2}$ 、 $P_{tr \times 2}$ の値に応じて壁電圧を放電開始電圧とパルス振幅との差に相当する値に調整することができる。本例における初期化（電荷の均等化）は、全てのセルについてそれぞれの壁電荷（つまり壁電圧）を特定の値にするものである。なお、表示電極X、Yの片方のみパルスを印加して初期化を行うことができるが、図示のように表示電極X、Yの双方に互いに反対極性のパルスを印加することによりドライバ回路素子の低耐圧化を図ることができる。セルに加わる駆動電圧は、表示電極X、Yに印加されるパルスの振幅を加算した合成電圧である。

10

【0022】

アドレス期間TAにおいては、点灯すべきセルのみに点灯維持に必要な壁電荷を形成する。全ての表示電極Xおよび全ての表示電極Yを所定電位にバイアスした状態で、行選択期間（1行分のスキャン時間）ごとに選択行に対応した1つの表示電極Yに負極性のスキャンパルス P_{ny} を印加する。この行選択と同時にアドレス放電を生じさせるべき選択セルに対応したアドレス電極Aのみにアドレスパルス P_{α} を印加する。つまり、選択行のm列分のサブフレームデータDSFに基づいてアドレス電極Aの電位を2値制御する。選択セルでは表示電極Yとアドレス電極Aとの間の放電が生じ、それがトリガとなって表示電極間の面放電が生じる。これら一連の放電がアドレス放電である。

20

【0023】

表示期間TSにおいては、最初に全ての表示電極Yに対して振幅VSの正極性の標準パルスPS1を印加し、これと同時に全ての表示電極Xに対して振幅VOの負極性の補助パルスPS2を印加する。補助パルスPS2のパルス幅は標準パルスPS1のパルス幅よりも短い。このような標準パルスPS1および補助パルスPS2の印加により、表示電極対（すなわちXY電極間）には図1に示した階段状波形のサステインパルスが印加される。以後、印加対象として表示電極Xと表示電極Yとを交互に入れ替えて、標準パルスPS1および補助パルスPS2を印加する。これにより、XY電極間には極性が交互に入れ替わるサステインパルス列が加わる。サステインパルスの印加によって、所定の壁電荷が残存するセルで面放電が生じる。サステインパルスの印加回数は上述したとおりサブフレームの重みに対応する。なお、不要の放電を防止するためにアドレス電極Aを表示期間TSにわたって標準パルスPS1と同極性にバイアスしてもよい。

30

【0024】

以上の駆動シーケンスのうち、本発明に深く係わるのは表示期間TSにおけるサステインパルスの印加である。以下では、表示電極Xに対するサステインパルスの印加手段であるサステイン回路83（図3参照）の構成および動作を説明する。表示電極Yに対するサステインパルスの印加手段であるサステイン回路87の構成および動作はサステイン回路83と同様であるので、その説明は省略する。

40

〔サステインパルス生成の第1実施形態〕

図7はサステイン回路の構成の第1例を示す。サステイン回路83は、振幅VSの矩形波パルスを出力する機能をもつ標準パルス発生回路91、および上述した階段状のサステインパルスPSを生成するために振幅VOの矩形波パルス出力するオフセット部93から構成される。

【0025】

標準パルス発生回路91は、一対のスイッチング素子Q1、Q2を有したフッシュアル構成のスイッチング回路であり、表示電極Xを電位VSの電源端子またはGNDに接続する

50

。なお、電位 V_S とは GND 電位に対する電位差が V_S である電位を意味する。本例のスイッチング素子 Q_1 、 Q_2 は電界効果トランジスタであり、これらのゲートには図 2 で示したコントローラ 71 からの制御信号 CU 、 CD がゲートドライバを介して入力される。

【0026】

オフセット部 93 は、振幅 V_O の矩形波パルス生成する補助パルス発生回路 94、表示電極 X に対する補助パルス発生回路 94 の出力インピーダンスを低減するインピーダンス変換回路 95、および補助パルス発生回路 94 とインピーダンス変換回路 95 との間の導通路を開閉するためのスイッチ回路 96 から構成される。インピーダンス変換回路 95 を設けることにより、サブフレーム間で点灯セル数が異なり、そのために表示面全体の放電電流量が異なっても、標準パルス発生回路 91 および補助パルス発生回路 94 の制御タイミングで決まる設定どおりの波形のサステインパルス PS を表示電極 X に印加することができる。このインピーダンス変換回路 95 は、スイッチ回路 96 が開くと出力インピーダンスの高い状態（オフ状態）になるように構成されている。図 1 で示した期間 T_1 を除いて、インピーダンス変換回路 95 はオフ状態とされる。その理由は、表示電極 X に接続されている他の回路（リセット回路 81 やバイアス回路 82）に対してインピーダンス変換回路 95 が負荷となるのを防ぐためである。

【0027】

図 8 は第 1 実施形態に係るオフセット部の回路図である。図 8 (A) は正電圧出力の場合の回路構成を示し、図 8 (B) は負電圧出力の場合の回路構成を示す。

【0028】

図 8 (A) において、補助パルス発生回路 94 は、一対のスイッチング素子 Q_3 、 Q_4 を有したプッシュプル構成のスイッチング回路であり、当該回路の出力端子を電位 V_O の電源端子または GND に接続する。本例のスイッチング素子 Q_3 、 Q_4 は電界効果トランジスタであり、これらのゲートには図 2 で示したコントローラ 71 からの制御信号 S_{11} 、 S_{12} がゲートドライバを介して入力される。インピーダンス変換回路 95 は、NPN 型トランジスタ Q_5 からなるエミッタフォロワである。エミッタフォロワは基本的には入力信号がない場合を含めて常にアクティブであるという特徴をもち、その出力は交流的には低インピーダンスである。言い換えれば、出力端子が容量値無限大のコンデンサを介して GND に繋がっていると見なすことができる。本例では、トランジスタ Q_5 のベース・エミッタ間に抵抗 R_1 が接続されているので、トランジスタ Q_5 に対するベース入力をスイッチ回路 96 が遮断すると、ベース・エミッタ間の電位差が 0 ボルトに保持され、トランジスタ Q_5 は完全にオフ状態となる。この状態では、出力端子からはインピーダンス変換回路 95 が 100 Ω コファラッド程度の微小容量にしか見えない。抵抗 R_1 の値については、小さすぎるとパルス波形が歪み、大きすぎるとトランジスタ Q_5 のオフ状態が不安定になる。例示のようにトランジスタ Q_5 がバイポーラトランジスタである場合には、抵抗 R_1 の値が数キロオームから百数十キロオームの範囲内の値であれば、実用上問題のない出力波形と動作が得られる。スイッチ回路 96 を構成するスイッチ素子 Q_6 は P チャンネル MOS 型電界効果トランジスタであり、このゲートにはコントローラ 71 からの制御信号 S_{13} がゲートドライバを介して入力される。

【0029】

図 8 (B) の回路の基本構成は図 8 (A) の構成と同様である。図 8 (B) において、インピーダンス変換回路 95 は PNP 型トランジスタ Q_5b からなるエミッタフォロワであり、スイッチ回路 96 を構成するスイッチ素子 Q_6b は N チャンネル MOS 型電界効果トランジスタである。

【0030】

図 9 は第 1 実施形態の駆動制御を示す波形図である。図示の例は、図 8 (B) の負電圧出力構成のオフセット部 93 を備えた X ドライバ 75 および Y ドライバ 76 によってサステインパルス PS を印加する例である。図では X ドライバ 75 に対する制御信号 CU 、 CD 、 S_{11} 、 S_{12} 、 S_{13} のタイミングを示し、 Y ドライバ 76 に対する制御信号 CU 、 CD 、 S_{11} 、 S_{12} 、 S_{13} のタイミングは省略してある。 Y ドライバ 76 に対する各

10

20

30

40

50

制御信号の波形は、Xドライバ75に対する各制御信号の波形がサステインパルス印加の1周期だけずれたものとなる。

【0031】

表示電極対に対する標準パルスPS1の印加開始（前縁）は制御信号CUのオンに呼応し、印加終了（後縁）は制御信号CDのオンに呼応する。制御信号CUおよび制御信号CDは互いに他方がオフになってかつデッドタイムが経過した時点でオンとされる。デッドタイムにおいて表示電極対に対する駆動出力は高インビータンス状態である。表示電極対に対する補助パルスPS2の印加開始は制御信号S11のオンに呼応し、印加終了は制御信号S12のオンに呼応する。上述したとおり、表示電極Xおよび表示電極Yの一方に対する標準パルスPS1の印加と同時に他方に対して補助パルスPS2を印加することにより、階段状波形のサステインパルスPSがXY電極間に加わる。本例ではサステインパルスPSの前縁から後縁間際のデッドタイムの始まりまで、表示電極対に対する駆動出力は低インビータンス状態である。低インビータンス状態である期間は、補助パルスPS2を印加する期間T0とその直後の電圧変更の過渡期とを合わせた期間T1を含む。この期間T1のみ制御信号S13がオンとされ、補助パルスPS2が表示電極対へ出力される。

【0032】

図10はインビータンス変換回路の変形例を示す。図10(A)は正電圧出力の場合の回路構成を示し、図10(B)は負電圧出力の場合の回路構成を示す。図10の変形例において、インビータンス変換回路95c、95dは電界効果トランジスタQ5c、Q5dからなるソースフォロワである。これを採用した場合も、出力電流の大きさにかかわらず一定形状のパルス波を表示電極へと出力することができ、上述した図8のエミッタフォロワではベース電流が流れることで出力波形が歪む問題がある。この問題は電圧制御素子である電界効果トランジスタを用いることで解消される。また、電界効果トランジスタのゲート・ソース間の入力インビータンスはバイポーラトランジスタのベース・エミッタ間の入力インビータンスに比べて極めて高いので、制御信号（ゲート入力）の非入力時にインビータンス変換回路95c、95dをオフ状態にしておくための抵抗R1c、R1dの値を、数百キロオーム～数十メガオームの範囲の大きい値にすることができ、電界効果トランジスタQ5c、Q5dはMOS型でも接合型でもよい。電界効果トランジスタに限らず、絶縁ゲートバイポーラトランジスタ（IGBT）といった他の電圧制御素子を使用してもよい。ただし、MOS型電界効果トランジスタを用いる場合は、ソース・ドレイン間に素子の極性とは反対の極性の寄生ダイオードが存在するので、不測の要因で電極電位が電源電位より高くなったときに無駄な電流が流れるのを防止するため、サステイン回路内の適所に逆流防止用のダイオードを挿入するのが望ましい。

【0033】

他の変形例として、ダーリントン接続された複数のトランジスタからなるエミッタフォロワがある。これによれば、単一のトランジスタからなるエミッタフォロワと比べて入力電流の影響が小さいので、負荷電流の変化に対するパルス波の歪みが少ない。

〔サステインパルス生成の第2実施形態〕

図11はサステイン回路の構成の第2例を示す図であり、図12は第2実施形態に係るオフセット部の回路図である。これらの図において第1実施形態と同一の構成要素には第1実施形態と同一の符号を付し、それらの説明を省略するかまたは簡略にする。以下で説明する全て図についても同様である。

【0034】

サステイン回路83Bは、標準パルス発生回路91、および振幅V0の補助パルスを出力するオフセット部93Bから構成される。標準パルス発生回路91は、一対のスイッチング素子Q1、Q2を有したフッシュアップ構成のスイッチング回路である。オフセット部93Bは、補助パルス発生回路94、インビータンス変換回路95c、およびインビータンス変換回路95cと表示電極Xとの間の導通路を開閉するためのスイッチ回路96から構成される。インビータンス変換回路95cを有することにより、サブフレーム間で点灯セル数が異なり、そのために表示面全体の放電電流量が異なっても、標準パルス発生回路9

1 および補助パルス発生回路94の制御タイミングで決まる設計とありの波形のサステインパルスを表示電極Xに印加することができる。スイッチ回路96は、図1で示した期間T1を除いて、インピーダンス変換回路95cを表示電極Xから切り離し、表示電極Xに接続されている他の回路に対してインピーダンス変換回路95cが負荷となるのを防ぐ。

〔サステインパルス生成の第3実施形態〕

図13はサステイン回路の構成の第3例を示す回路図である。図示は正極性のサステインパルス outputs する構成であるが、素子の極性を変更することによって負極性のサステインパルス outputs する回路を構成することができる。サステイン回路83Cは、標準パルス発生回路91、および振幅 V_{SO} ($=V_S + V_O$) のオフセット駆動パルス outputs するオフセット部93Cから構成される。標準パルス発生回路91は、一対のスイッチング素子Q1、Q2を有したフッシュアル構成のスイッチング回路である。オフセット部93Cは、オフセット駆動パルスを生成するオフセット駆動パルス発生回路97、表示電極Xに対するオフセット駆動パルス発生回路97の出力インピーダンスを低減するインピーダンス変換回路95c、および2個のダイオードD1、D2をもつ逆流防止回路98から構成される。オフセット駆動パルス発生回路97は、一対のスイッチング素子Q7、Q8を有したフッシュアル構成のスイッチング回路であり、当該回路の出力端子を電位 V_{SO} の電源端子またはGND端子に接続する。本例のスイッチング素子Q7、Q8は電界効果トランジスタであり、これらのゲートには図2で示したコントローラ71からの制御信号S31、S32がゲートドライバを介して入力される。インピーダンス変換回路95cを有することにより、サブフレーム間で点灯セル数が異なり、そのために表示面全体の放電電流量が異なっても、標準パルス発生回路91およびオフセット駆動パルス発生回路97の制御タイミングで決まる設計とありの波形のサステインパルスを表示電極Xに印加することができる。逆流防止回路98において、ダイオードD1はインピーダンス変換回路95cと標準パルス発生回路91との間に順方向通電路を形成するように挿入されている。ダイオードD2は電位 V_S の電源端子と標準パルス発生回路91との間に順方向通電路を形成するように挿入されている。

【0035】

図14は第3実施形態の駆動制御を示す波形図である。図ではXドライバ75に対する制御信号CU、CD、S31、S32のタイミングを示し、Yドライバ76に対する制御信号CU、CD、S31、S32のタイミングは省略してある。Yドライバ76に対する各制御信号の波形は、Xドライバ75に対する各制御信号の波形がサステインパルス印加の1周期だけずれたものとなる。

【0036】

表示電極対に対する電圧 V_S の印加が制御信号CDのオンに呼応して始まり、これと同時に制御信号S31のオンに呼応して電圧 V_{SO} ($=V_S + V_O$) の印加も始まる。結果的に表示電極対には高い方の電圧 V_{SO} が加わる。電圧 V_{SO} の印加は時間T0が経過した時点で制御信号S32のオンに呼応して終わる。その後も一定期間にわたって電圧 V_S の印加は続き、制御信号CDのオンに呼応して終わる。このようにして階段状波形のサステインパルスPSがXY電極間に加わる。制御信号CUおよび制御信号CDは互いに他方がオフになってかつデッドタイムが経過した時点でオンとされる。デッドタイムにおいて表示電極対に対する駆動出力は高インピーダンス状態である。そして、サステインパルスPSの前縁から後縁間際のデッドタイムの始まりまでの期間において、表示電極対に対する駆動出力は低インピーダンス状態である。低インピーダンス状態である期間は、補助パルスPS2を印加する期間T0とその直後の電圧変更の過渡期とを合わせた期間T1を含む。

〔駆動波形の調整〕

以上の第1ないし第3の実施形態において、表示負荷の大小にかかわらず輝度および発光効率を良好にするには、サステインパルスPSにおける電圧変更のタイミングを表示負荷の変化に合わせて逐次に調整するのが好ましい。以下ではサステインパルスPSのタイミング調整について説明する。

【0037】

図15はコントローラの構成図である。コントローラ71は、予め定められた周期で表示負荷を測定する負荷測定回路710、複数種の制御信号波形を記憶する波形メモリ711、制御信号波形の読出しを制御するメモリコントローラ712、負荷測定回路710からの測定信号SRに基づいて表示負荷の大小判別を行う判定回路713、および判定回路713の出力DJに従って最良の制御信号波形を選択するタイミング調整回路714を有している。タイミング調整回路714によって選択された波形を適用した制御信号CU、CD、S11、S12、S13がXドライバ75およびYドライバ76に与えられる。

【0038】

図16は負荷測定回路の構成の第1例を示す図、図17は第1例の負荷測定回路を有したコントローラの動作タイミングを示す図である。図16における負荷測定回路710はビットカウンタからなり、データ変換回路72から出力されるサブフレームデータDSfを取り込んで点灯セル数をカウントする。判定回路713は測定信号SRが示す点灯セル数と予め設定された値とを比較することによって表示負荷の大小を判定する。第1例の構成を採用すれば、表示負荷を正確に測定することができる。

【0039】

図17のようにコントローラ71は、j番目のサブフレームの表示期間TSにおける駆動制御の準備として、同じj番目のサブフレームのアドレス期間TAに点灯セル数をカウントしかつ表示負荷を判定して最良の信号波形を選択する。表示負荷率に応じて期間TOの後縁位置を微調整することによって、所定の輝度および発光効率を維持することができる。タイミングの微調整の量は、輝度と発光効率の最大となる点を実験によって決めておけばよい。図16の回路構成では、サブフレームデータDSfをAドライバ77に転送すると同時に負荷カウントを行うので、アドレス期間TAの終了時点で負荷カウントが終わると直ちに負荷判定が行われ、その直後の表示期間TSのタイミング制御設定が行われる。これに対し、図示はしないが別の構成も考えられる。それは、データ変換回路72がフレームメモリをもち、予め1フレームの画像について全てのサブフレームのデータ変換を行い、全てのサブフレームデータDSfを一旦フレームメモリに記憶させておき、次のフレームにおいて、その1つ前のフレームのサブフレームデータDSfをAドライバ77に転送する構成である。この構成の場合には、全てのサブフレームデータDSfを記憶する際に、負荷カウントを行うようにすればよい。そうすることによって、全サブフレームの負荷判定結果を予め得ておくことができるので、アドレス期間TAの終了直後に表示期間TSが始まる場合であっても、余裕をもってタイミング制御を設定することができる。

【0040】

図18は負荷測定回路の構成の第2例を示す図、図19は第2例の負荷測定回路を有したコントローラの動作タイミングを示す図である。図18の負荷測定回路710bは、電流検出素子801、スイッチング素子802、スイッチングコントローラ803、および電力検出素子804からなる。電流検出素子801は、電源回路73からXドライバ75またはYドライバ76へ流れる電流を検出する。スイッチングコントローラ803が出力する測定制御信号SSWによってスイッチング素子802が閉状態となっている測定期間において、電流検出素子801の検出値が電力検出素子804に入力される。電力検出素子804は駆動電圧と電流検出値とに基づいて測定期間における平均的な消費電力を検出してその結果を示す信号SRを判定回路713へ送る。

【0041】

図19のようにコントローラ71は、j番目のフレームの各サブフレームの表示期間TSにおける制御の準備として、1つ前の(j-1)番目のフレームの表示期間TSにおいて、消費電力を検出して表示負荷の判定し、かつ制御に適用する信号波形を選択する。選択の概要としては、消費電力が増加していると判断されたにタイミングの微調整が行われる。検出した消費電力が増大傾向にある場合、タイミングを少し遅らせまたは少し早める。その結果、消費電力がある程度低下すれば現状のタイミングを維持し、消費電力がより増大するならば、前回とは逆にずらすようにタイミングを早めまたは遅らす。このような動

作を繰り返すことで、常に最適のタイミングで駆動し、輝度と発光効率の良好な状態を維持することができる。

【0042】

消費電力の検出については複数のフレームの平均を得るようにしてもよい。また、上述の点灯セル数をカウントする手段を併用し、表示負荷から予測される消費電力と実際に検出された消費電力の大小に基づいてタイミングの微調整を行ってもよい。この場合、複数のフレームにわたる平均的な消費電力の変化がなく、サブフィールド単位の急激な消費電力の変化にも対応するタイミング調整を行うことができる。

【0043】

以上の実施形態では、GND電位（0ボルト）を基準に正電位および負電位と定めた回路例を挙げたが、GND電位以外の正（+）または負（-）の電位を基準とし、それよりも高い電位または低い電位のパルス波電圧を出力することも可能である。

【0044】

【発明の効果】

請求項1ないし請求項9の発明によれば、表示放電における輝度および発光効率を改善し、かつ表示負荷の増減にともなう輝度および発光効率の変動を小さくすることができる。

【0045】

請求項8または請求項9の発明によれば、輝度および発光効率の変動をより小さくすることができる。

【図面の簡単な説明】

【図1】本発明に係る表示放電のための駆動電圧波形および放電電流波形を示す図である。

【図2】本発明に係る表示装置の構成図である。

【図3】表示電極を駆動するXドライバおよびYドライバの概略構成図である。

【図4】PDPのセル構造を示す図である。

【図5】フレーム分割の概念図である。

【図6】駆動シーケンスの概要を示す電圧波形図である。

【図7】サステイン回路の構成の第1例を示す図である。

【図8】第1実施形態に係るオフセット部の回路図である。

【図9】第1実施形態の駆動制御を示す波形図である。

【図10】インビークス変換回路の変形例を示す図である。

【図11】サステイン回路の構成の第2例を示す図である。

【図12】第2実施形態に係るオフセット部の回路図である。

【図13】サステイン回路の構成の第3例を示す回路図である。

【図14】第3実施形態の駆動制御を示す波形図である。

【図15】コントローラの構成図である。

【図16】負荷測定回路の構成の第1例を示す図である。

【図17】第1例の負荷測定回路を有したコントローラの動作タイミングを示す図である。

【図18】負荷測定回路の構成の第2例を示す図である。

【図19】第2例の負荷測定回路を有したコントローラの動作タイミングを示す図である。

【符号の説明】

1 PDP

70 ドライブユニット（駆動装置）

X、Y 表示電極

VS サステイン電圧

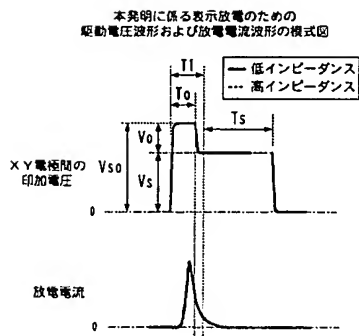
VO 補助電圧

VSO オフセット駆動電圧

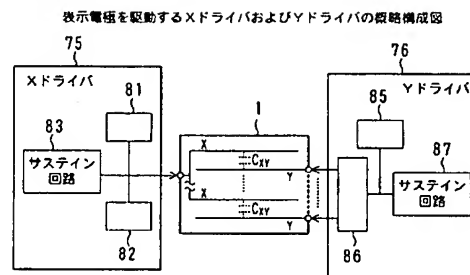
91 標準パルス発生回路

- 94 補助パルス発生回路
 95, 95c, 95d インピーダンス変換回路
 71, 71b コントローラ
 96 スイッチ回路
 97 オフセット駆動パルス発生回路
 D1 ダイオード
 710, 710b 負荷測定回路
 T0 期間(オフセット駆動電圧の印加時間)

【図1】

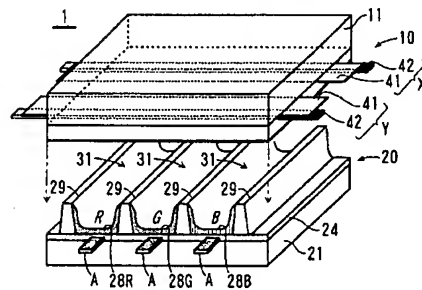


【図3】



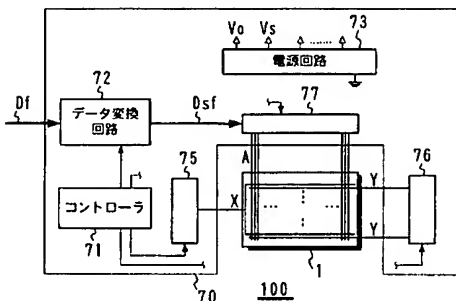
【図4】

PDPのセル構造を示す図

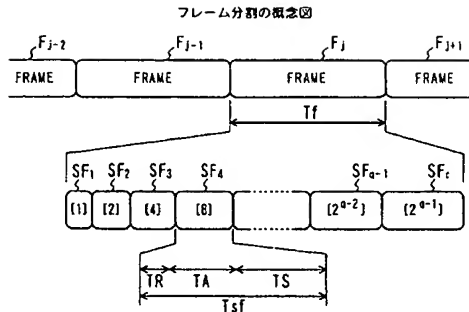


【図2】

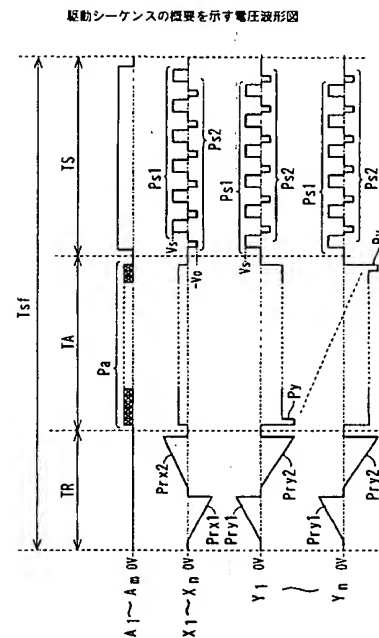
本発明に係る表示装置の構成図



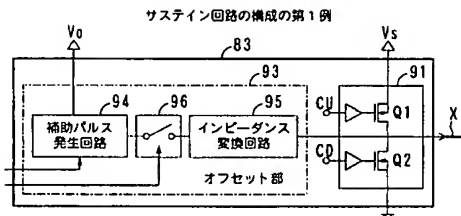
【図 5】



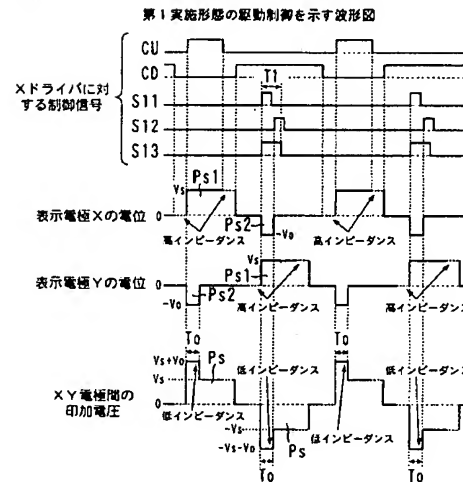
【図 6】



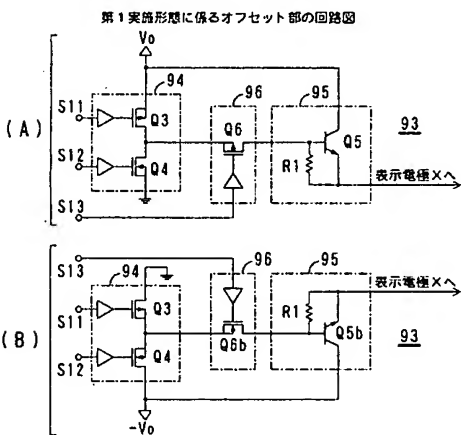
【図 7】



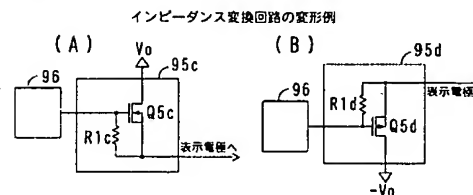
【図 9】



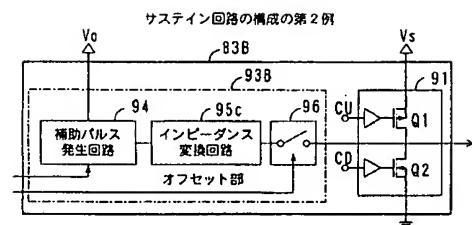
【図 8】



【図 10】

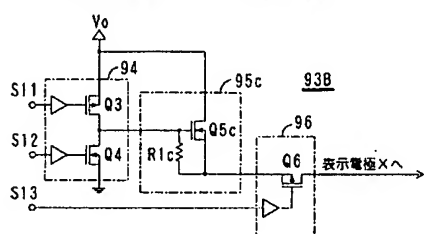


【 1 1 】



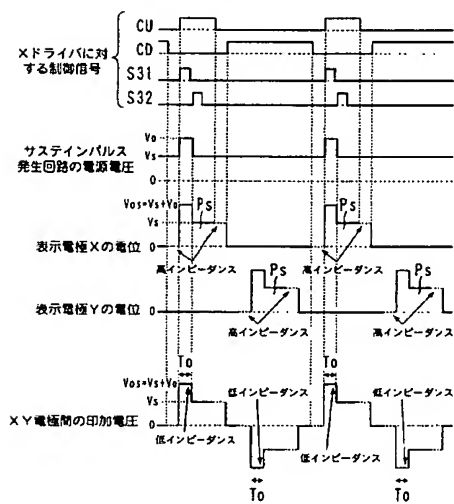
【 1 2 】

第2実施形態に係るオフセット部の回路図



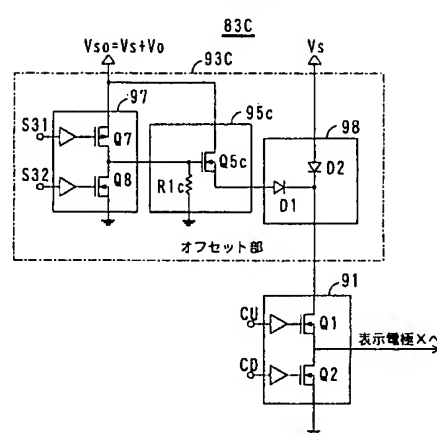
【 ㊦ 1 4 】

第3実施形態の駆動制御を示す波形図



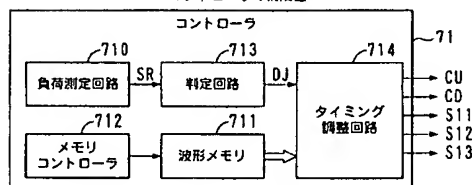
【 1 3 】

サステイン回路の構成の第3例



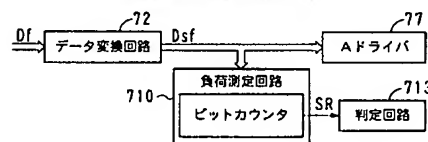
【 ㊦ 1 5 】

コントローラの構成図



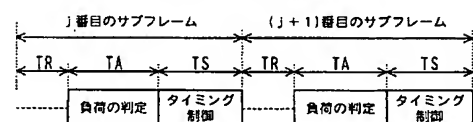
【 1 6 】

負荷測定回路の第1例を示す図



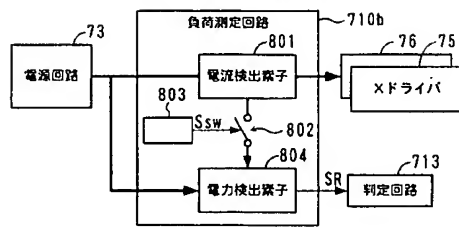
【图 17】

第1例の負荷測定回路を有したドライバ制御回路の動作タイミングを示す図



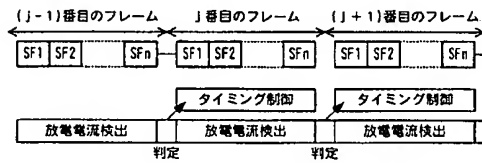
【図 18】

負荷測定回路の第2例を示す図



【図 19】

第2例の負荷測定回路を有したコントローラの動作タイミングを示す図



フロントページの続き

(51)Int. Cl.⁷

F I

テーマコード (参考)

G 0 9 G	3/20	6 4 2 P
H 0 4 N	5/66	1 0 1 B
G 0 9 G	3/28	B
G 0 9 G	3/28	J

F ターム(参考) 5C080 AA05 BB05 DD03 DD26 EE28 FF12 HH05 JJ02 JJ03 JJ04
JJ06